

기업소개



Vision

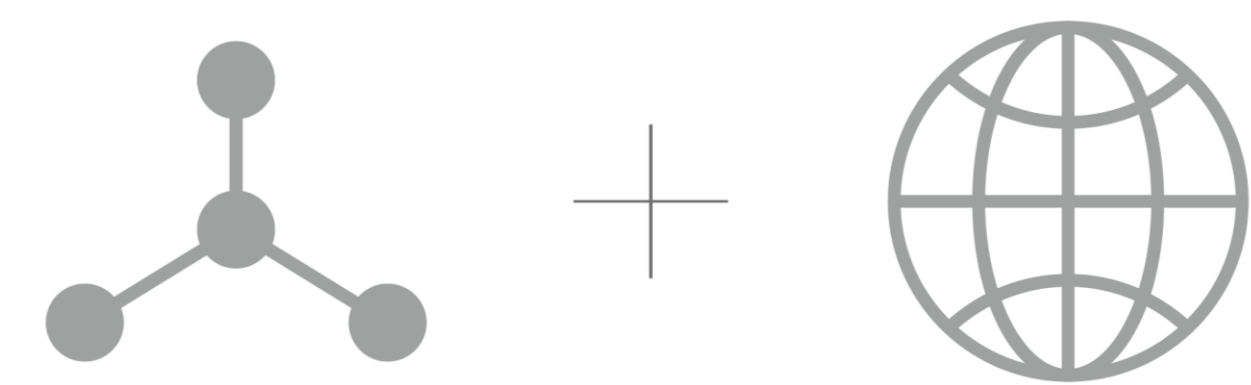
초일류 글로벌 반도체기업

제조 IP (인텔, 삼성) + 디자인 IP (Qualcomm, arm)

CI



Symbol Mark



3진법

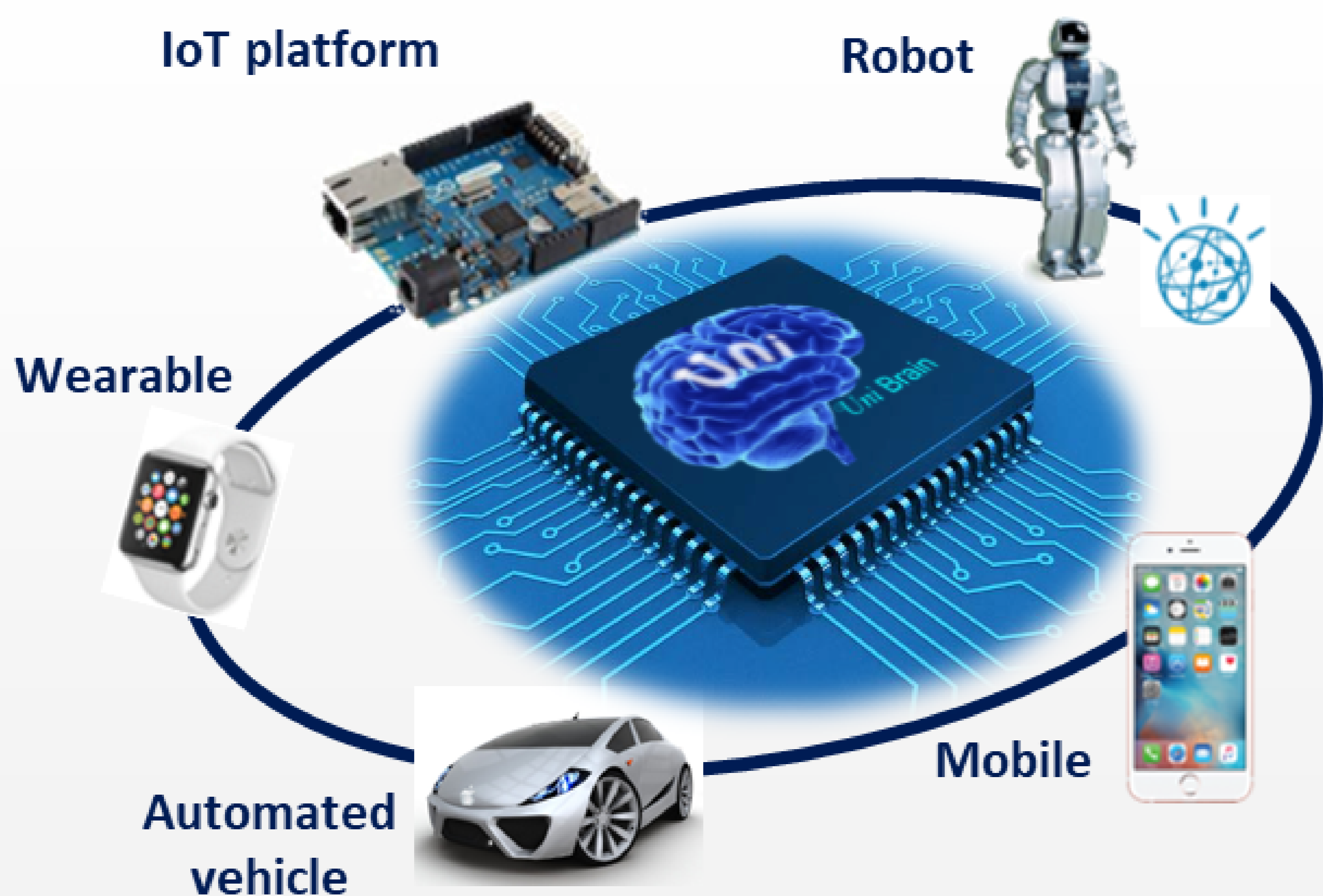
지구본

하나의 점이 3개의 연결을 갖는 3진법 Cell로 형상화 + 지구를 상징하는 구형의 이미지

더 많은 정보를 더 적은 에너지로 처리가 가능한 Ternary electronic cell이 미래반도체의 표준기술임을 상징

핵심제품 UniBrain™의 경제산업적 효과

UniBrain™: *Ultimate neuromorphic intelligent Brain* (유니브레인™ 뉴로컴퓨팅 프로세서)



(Challenge Target)

- 인지 및 학습의 페타스케일 병렬 처리가 가능한 HW-SW 융합 기반 초저전력 AI 프로세서 개발

AS-IS	TO-BE
다수의 서버로 구성된 인공지능 시스템	Always-OFF 학습 및 동작 인공지능 엣지 프로세서

(Application Area)

- Always-on IoT sensor/ always-training
- Wearable/implantable/cognitive robot
- Image-processing AI SoC in self-driving drone

(Benefit) 시스템 반도체 미래시장 공략 및 선점

UniBrain™ Chip
특허/IP 포트폴리오
(IP 선점)

Ternary 아키텍처
플랫폼 기반 파트너 협업
(기술표준화)

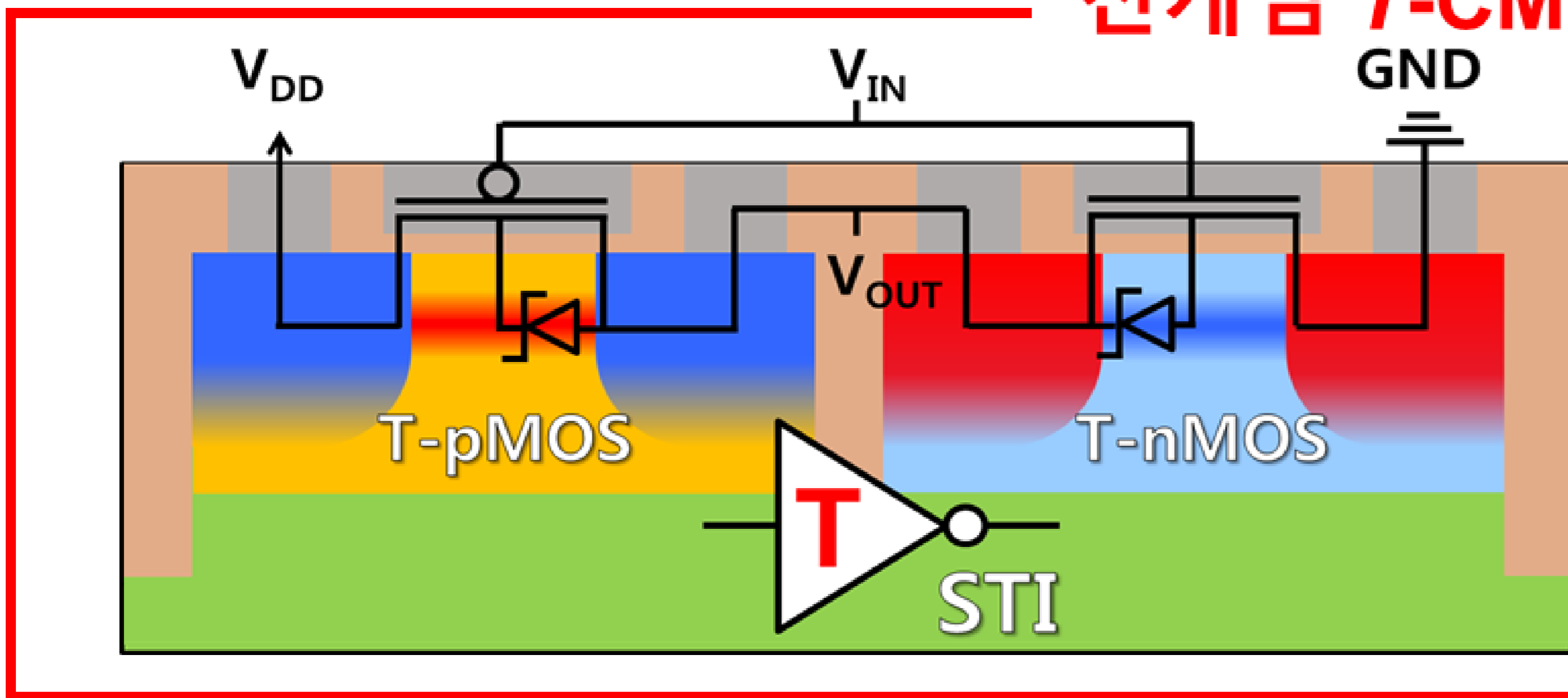
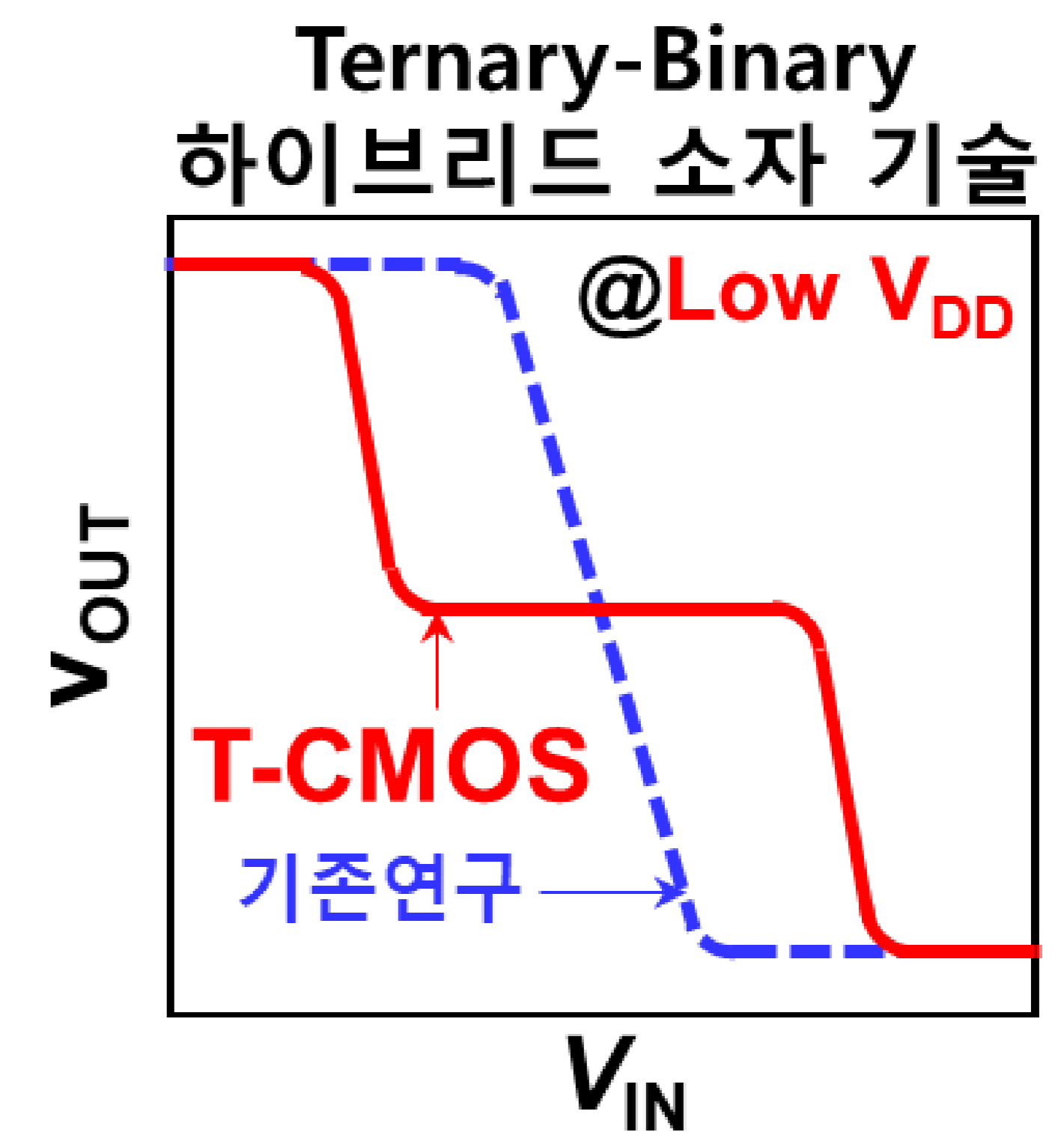
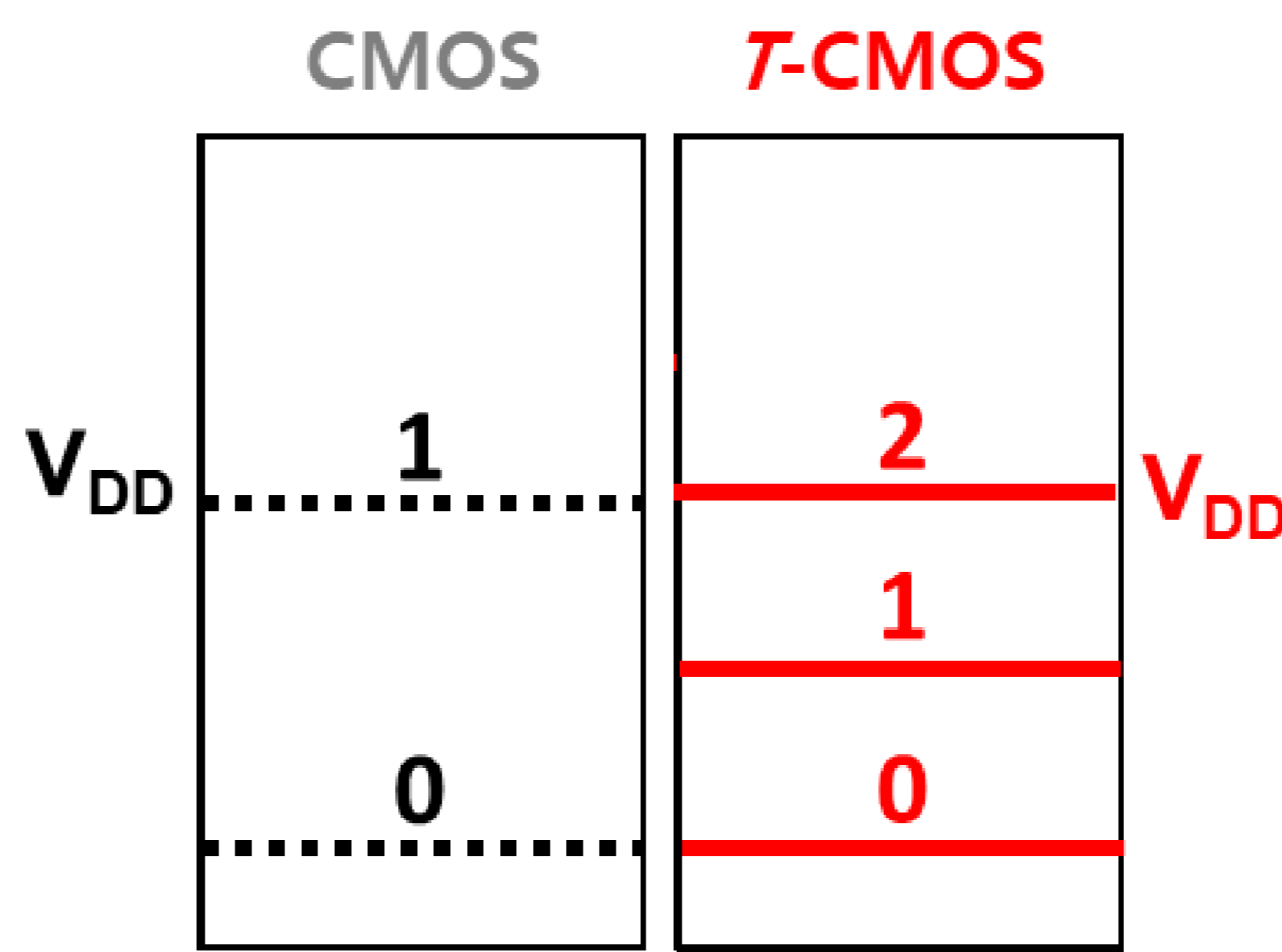
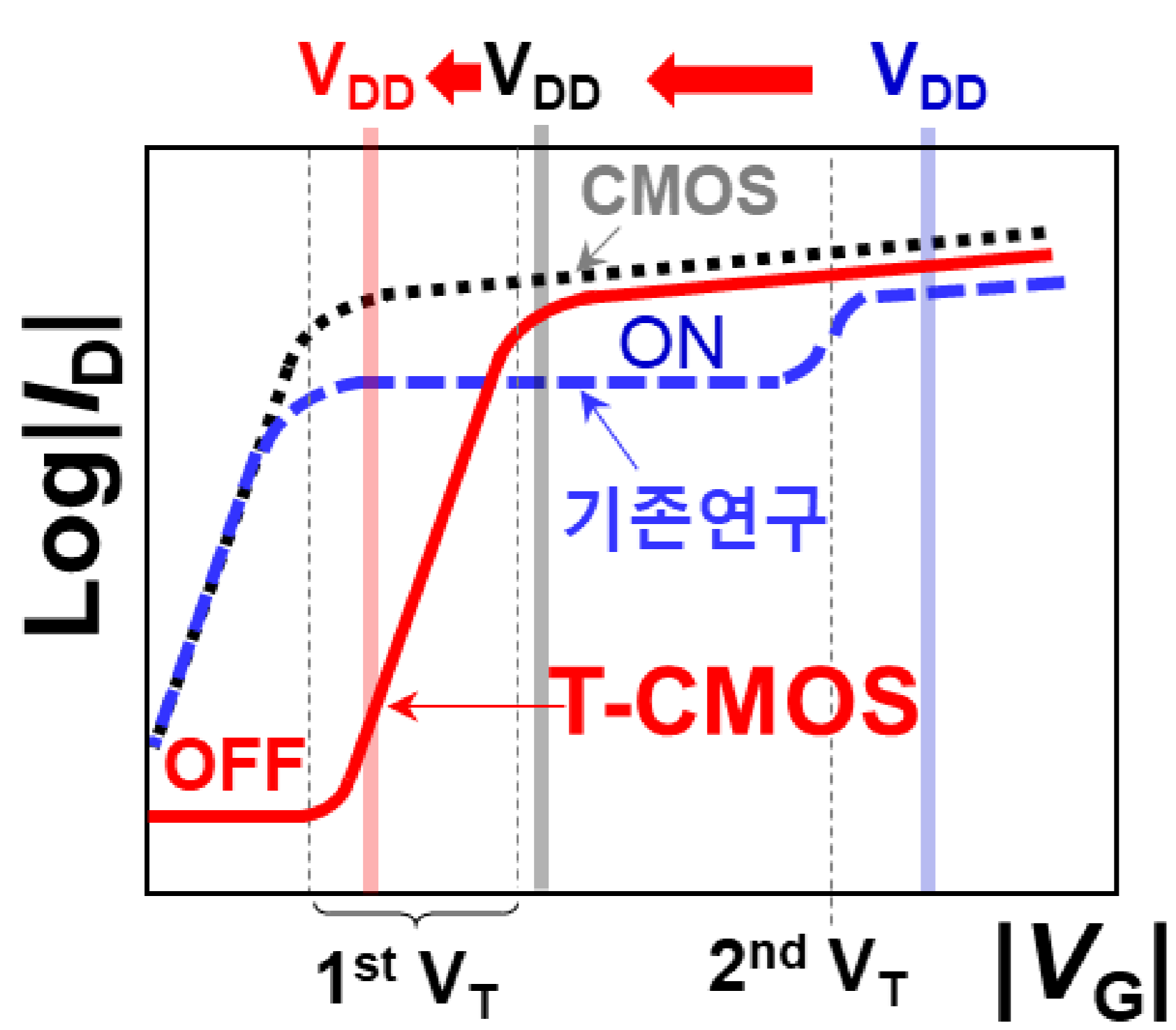
Ternary 반도체
HW/SW 생태계 구축
(글로벌 기술선도)

'20

'30

'40

3진법 반도체 원천기술 : Ternary CMOS



신개념 T-CMOS 소자

*미국특허등록: 10,133,550
*일본특허등록: 06,683,729

채널 하부에 pn-터널접합 형성
기존 CMOS와 함께 집적 가능

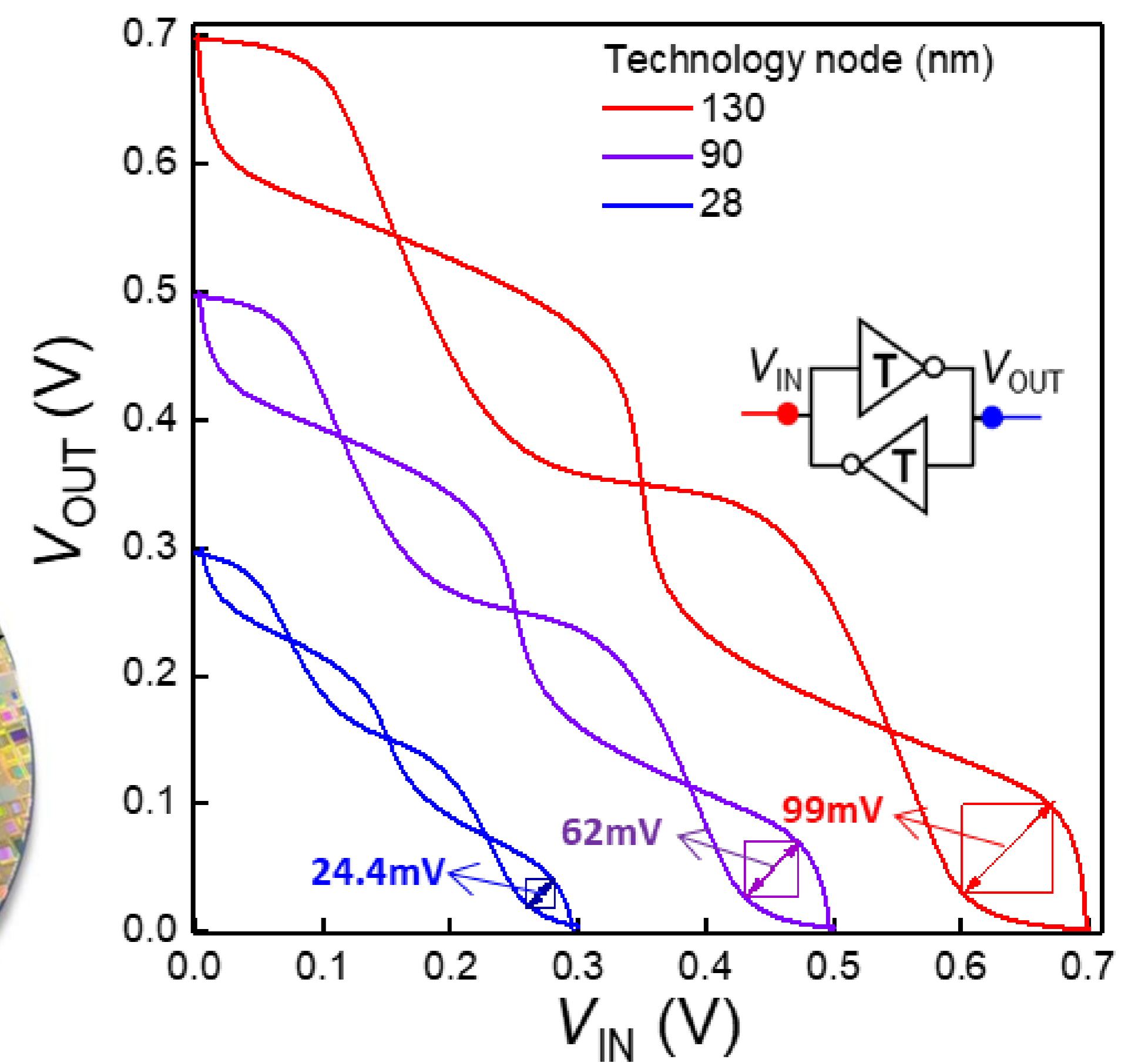
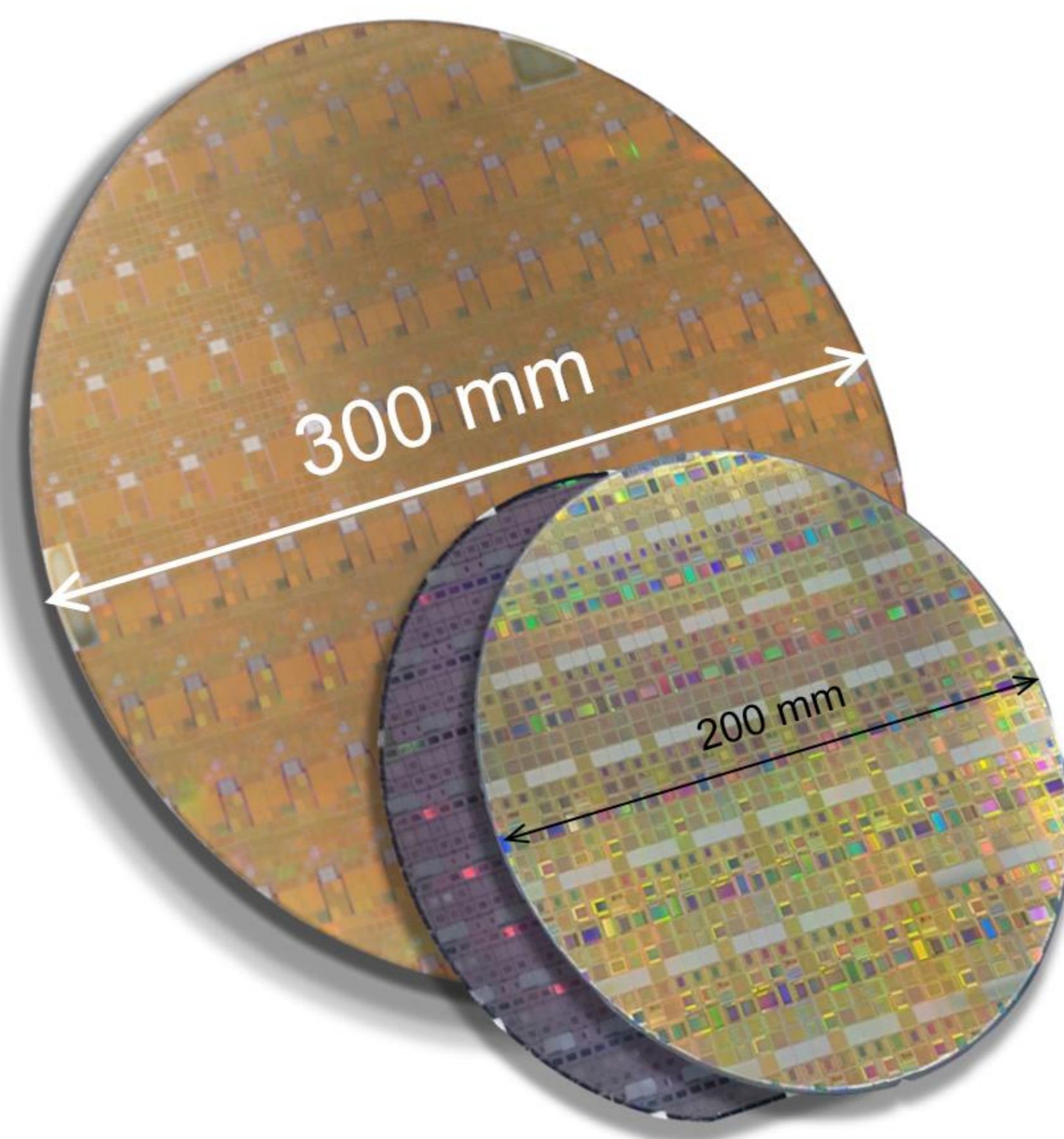
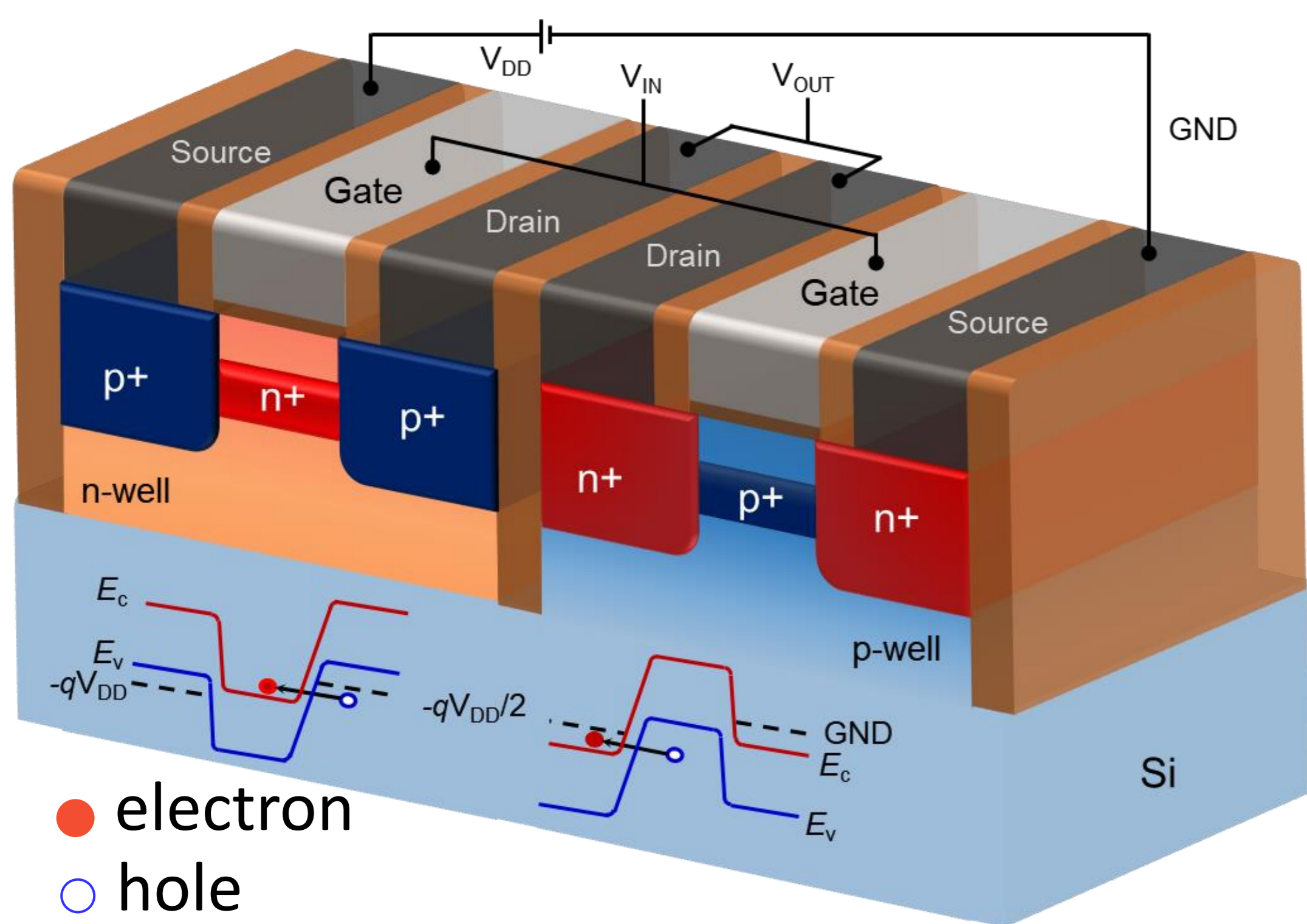
CMOS 인버터와 동일한 회로 구성
초절전 Ternary 인버터 동작 및 설계

발상의 전환 : OFF-상태 정전류 → 정적-동적 소모전력 모두 감소

Ternary CMOS 도식

대면적 Wafer 집적

Node별 SNM 검증



* T-CMOS 제작방법 특허
24건 출원완료 (3건 등록 예정)
2건 추가 출원 진행중

* Jeong, Jae Won, et al. "Tunnelling-based ternary metal-oxide-semiconductor technology." *Nature Electronics* 2(7), (2019)

8-inch (200 mm) : 110-/90-nm 공정
12-inch (300 mm) : 28-nm 공정

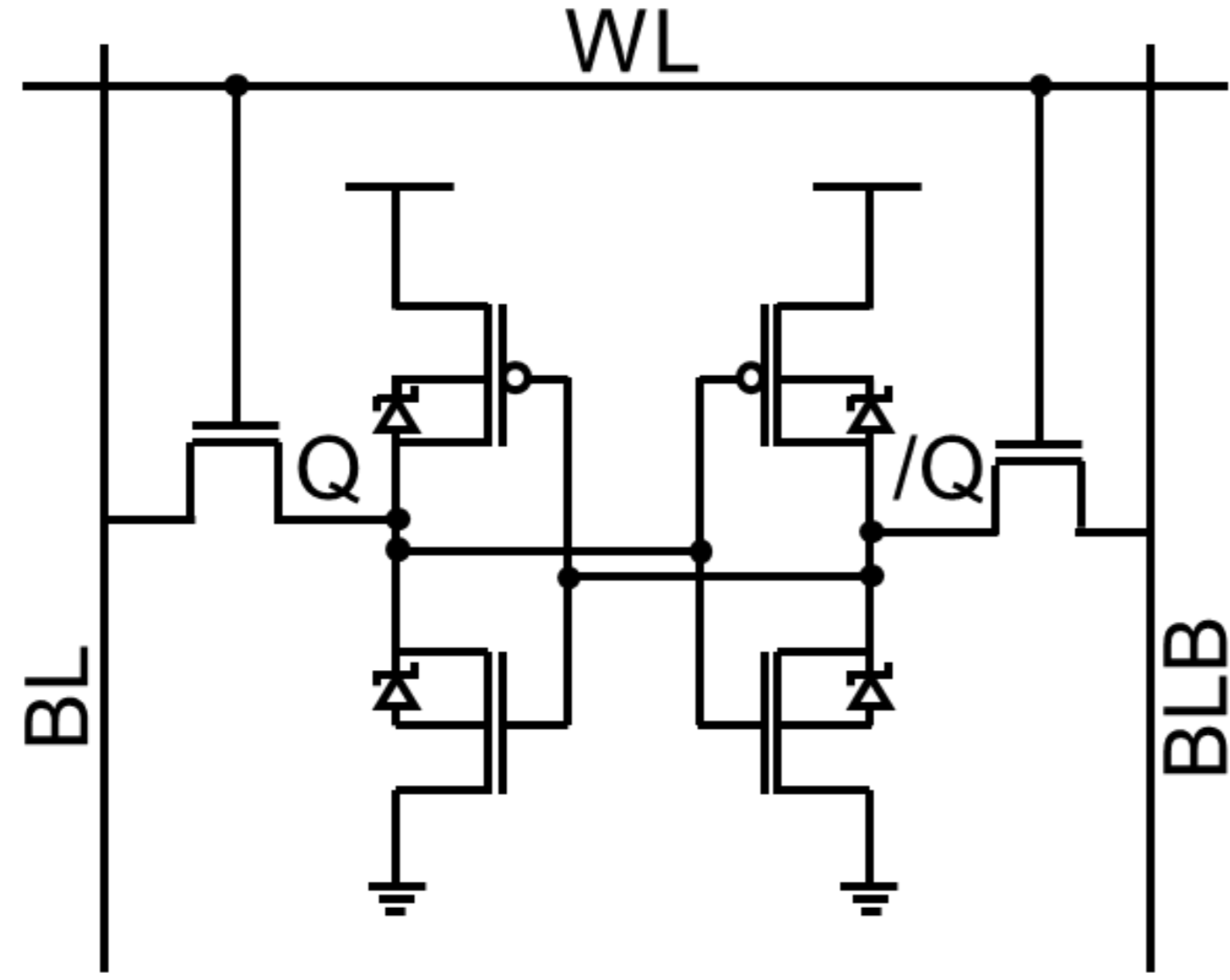
Advanced 공정 node 적용
→ Scalability 강화 입증

기존 상용 반도체 파운드리를 활용하여 T-CMOS 집적 가능
제조 + 디자인 IP 기업으로서 별도의 제조 Fab 라인 필요없음

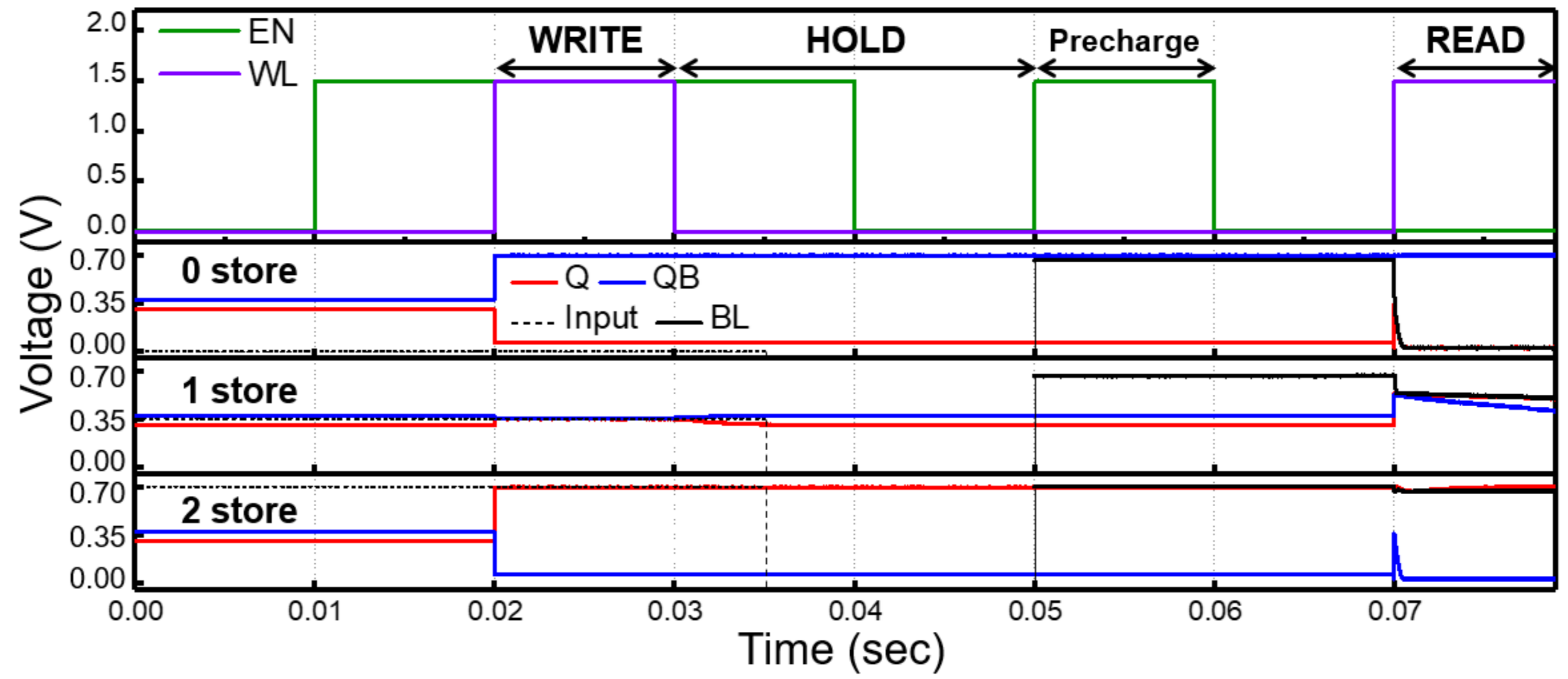
3진법 기능성 메모리 : TritCell™

TritCell™ 동작특성 검증

회로도 (기존 2진 SRAM과 동일)

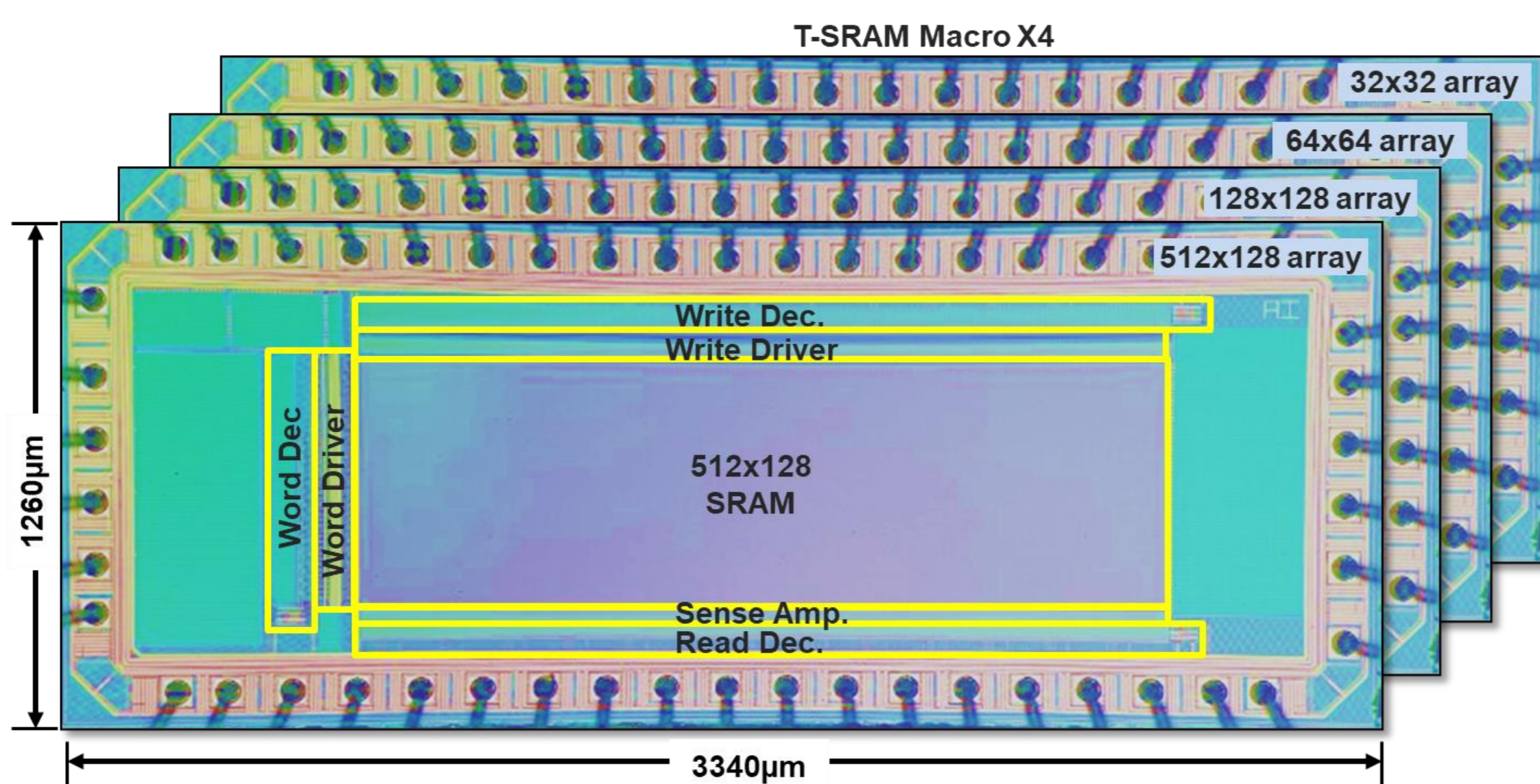


3개 상태 쓰기, 저장, 읽기 특성 검증

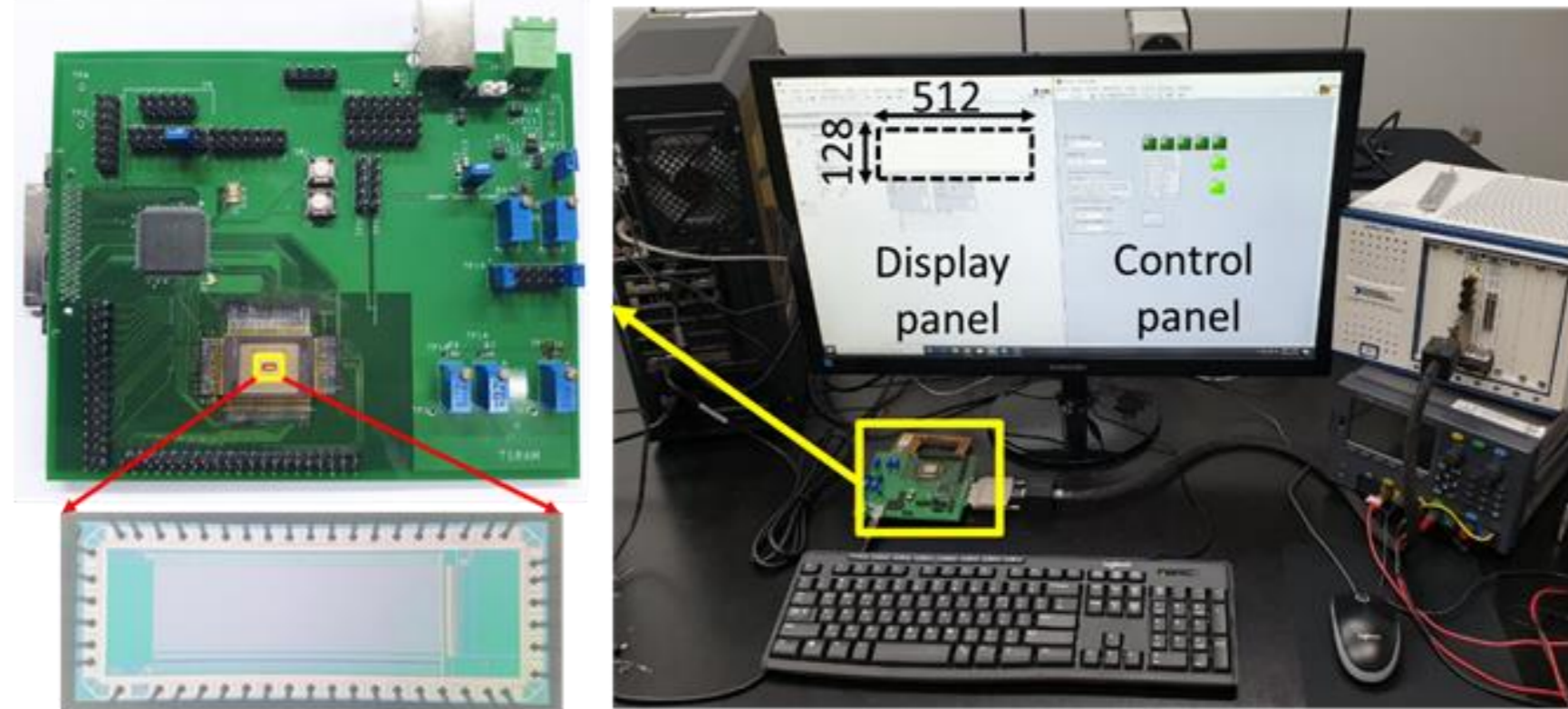


TritCell™ Macro 동작 검증

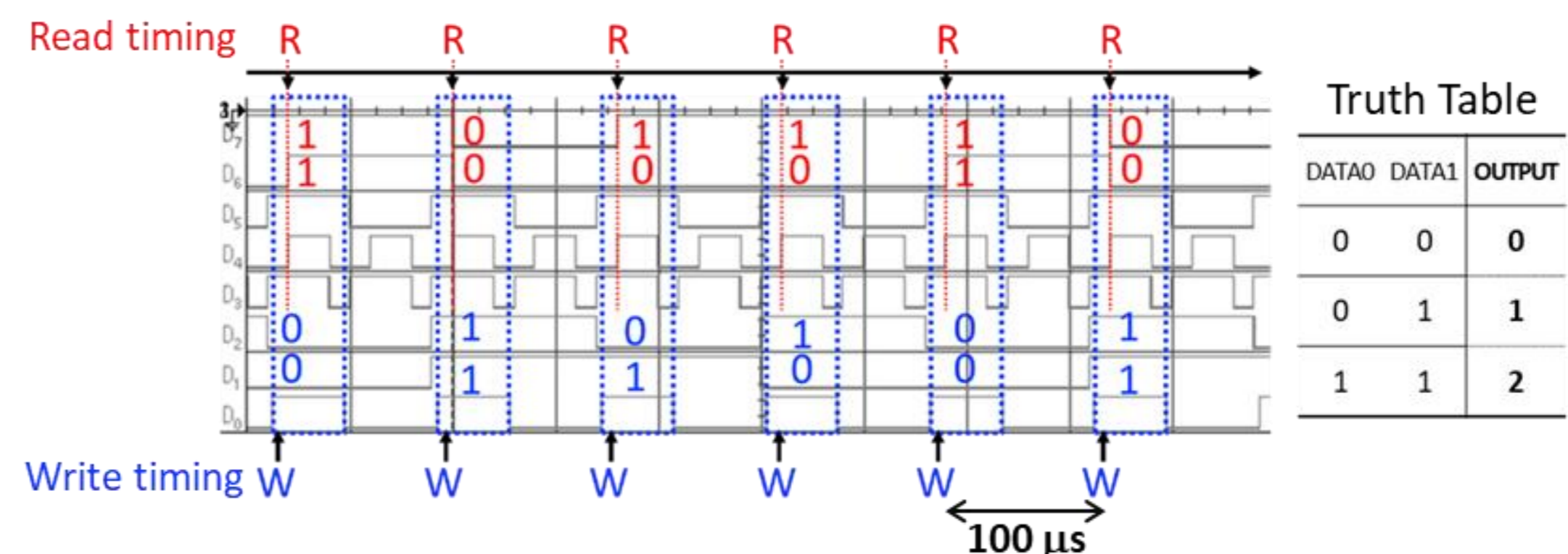
Die Photograph



Array 검증 위한 측정 시스템과 Readout 결과



3진 가중치 Cell

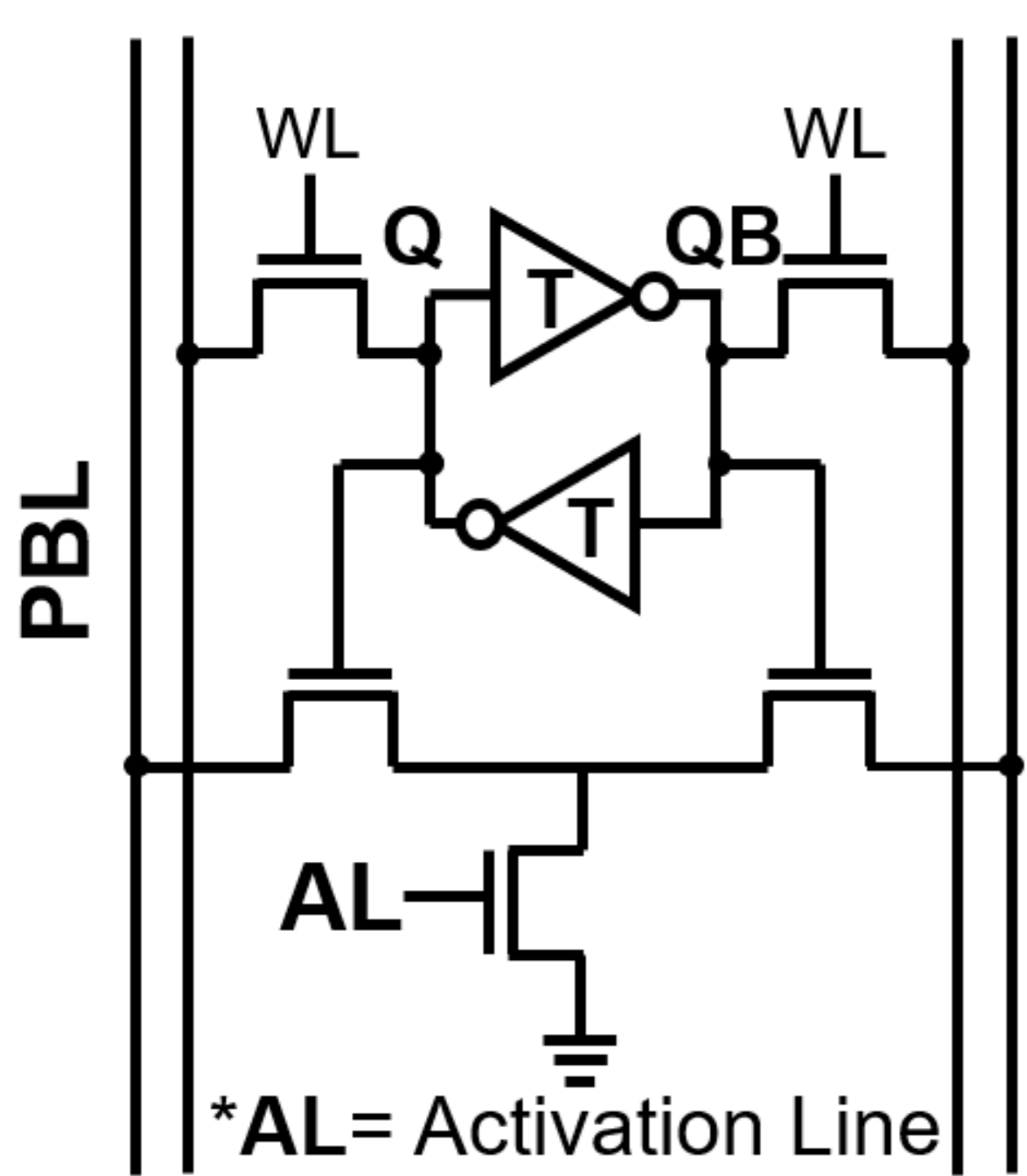


- 4종류 TritCell™ Array 제작 (512x128, 128x128, 64x64, 32x32)
- Ternary Data 처리 Peripheral 회로 설계 (Sense Amplifier, WRITE Driver, Decoder 등)

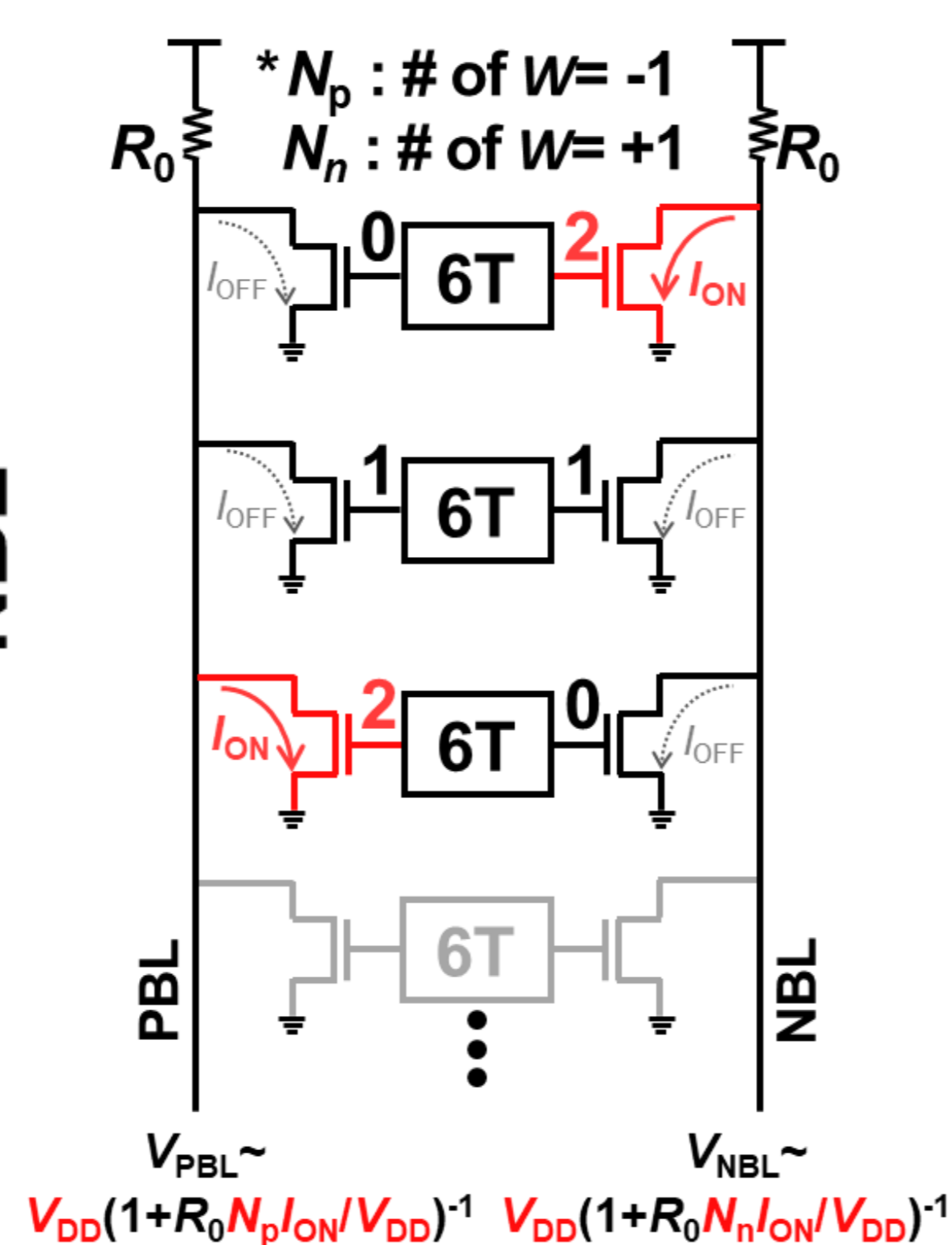
OFF-상태동작하는 초절전 3진법 메모리 입증 및 Macro 설계 IP 확보

Tiny AI 향 Processing-in-Memory 시스템 설계 기술

3진 가중치 Cell



연산가속기회로



- 초절전 고연산효율 AI HW 설계
- 1000배 이상의 대기전력 절감 실현
- 연산효율 300배 이상 제고

자율주행 자동차에 사용되는 전장 부품 지능화

자율주행 자동차 핵심기술

* 출처: 대한민국 과학기술 미래전략 2045(과기부)

스마트시티의 광범위한 AIoT 반도체 수요

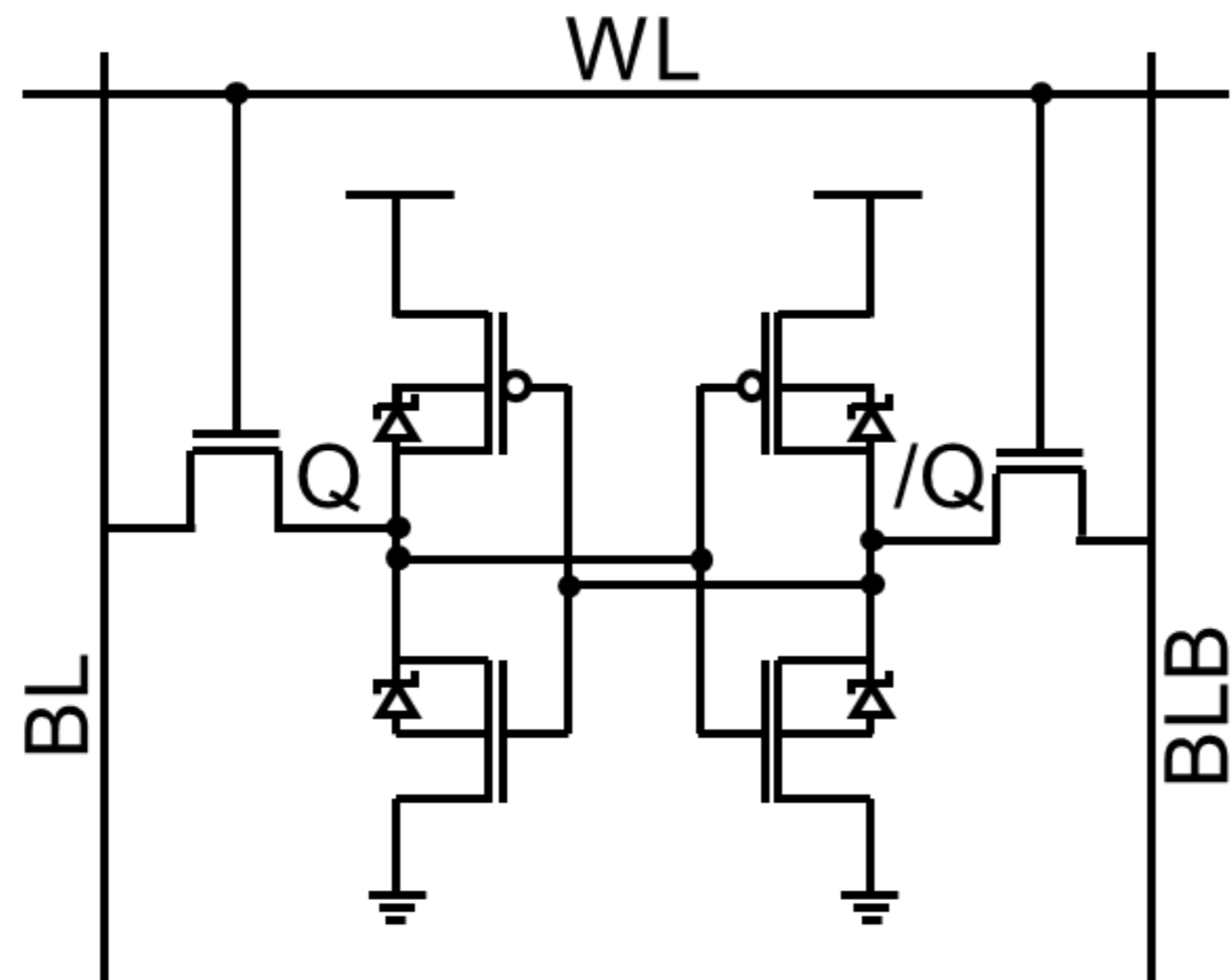
* Graphics: Prabahar Chitraikani

미래자동차 산업 90% 비중 차지할 전장부품 지능화, 스마트 시티의 AIoT 반도체 수요

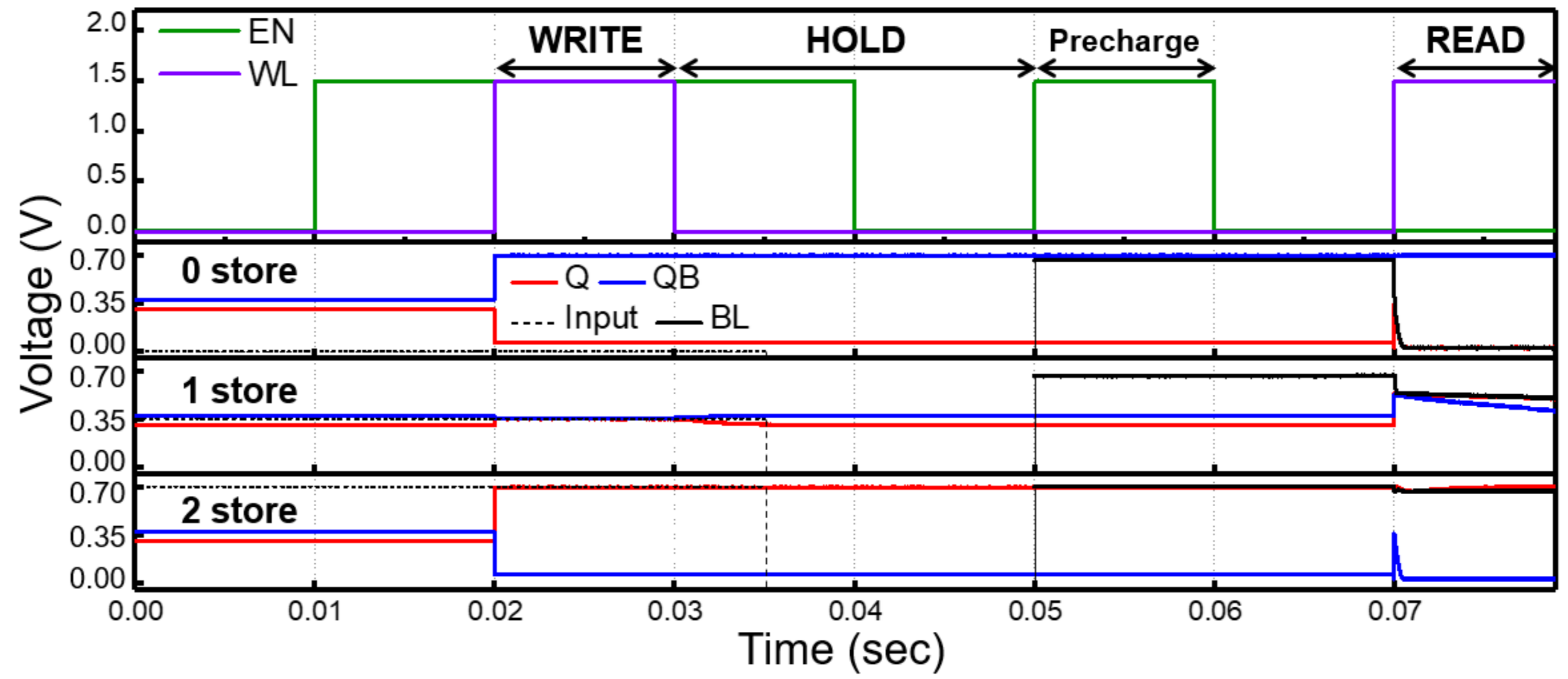
3진법 기능성 메모리 : TritCell™

TritCell™ 동작특성 검증

회로도 (기존 2진 SRAM과 동일)

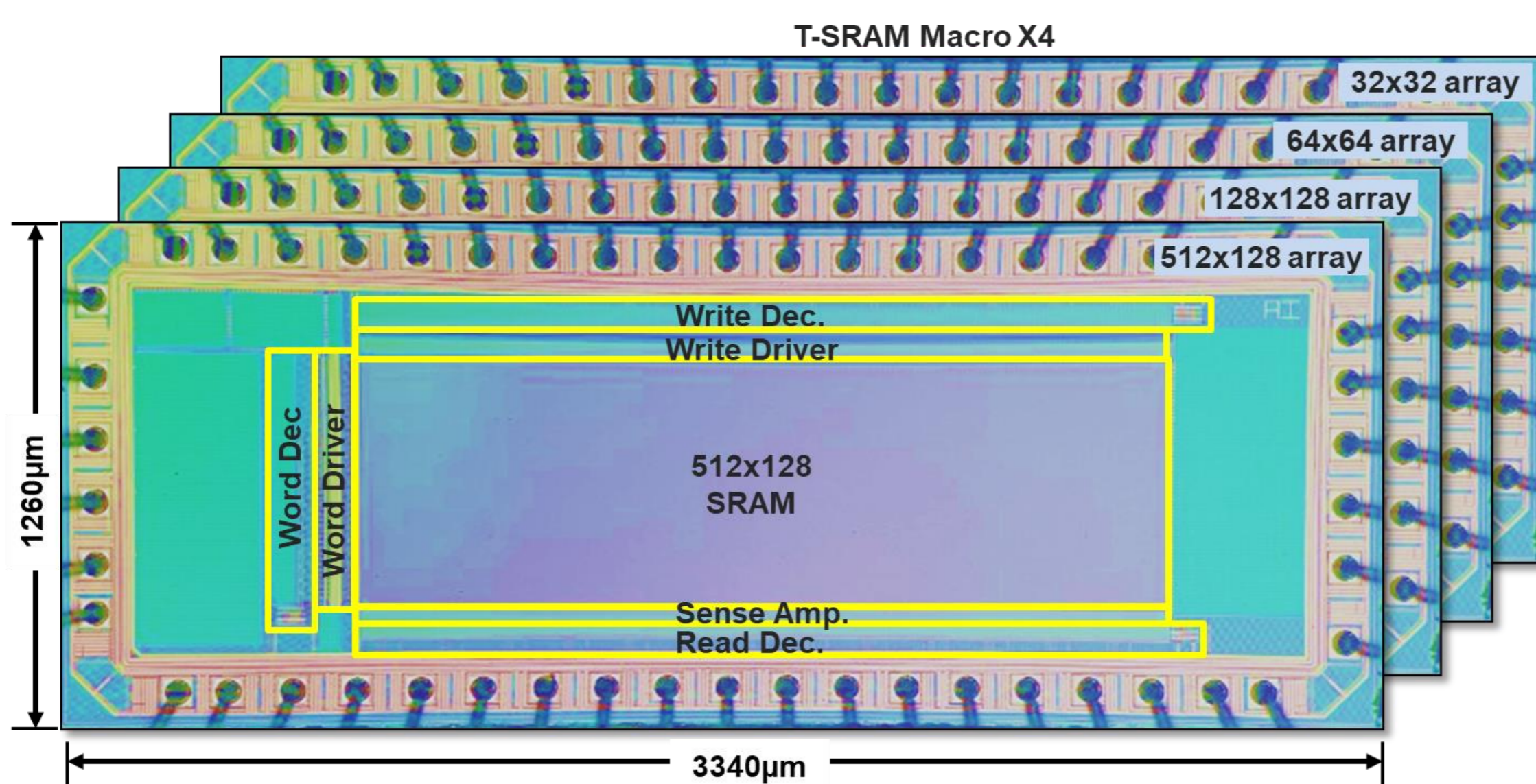


3개 상태 쓰기, 저장, 읽기 특성 검증

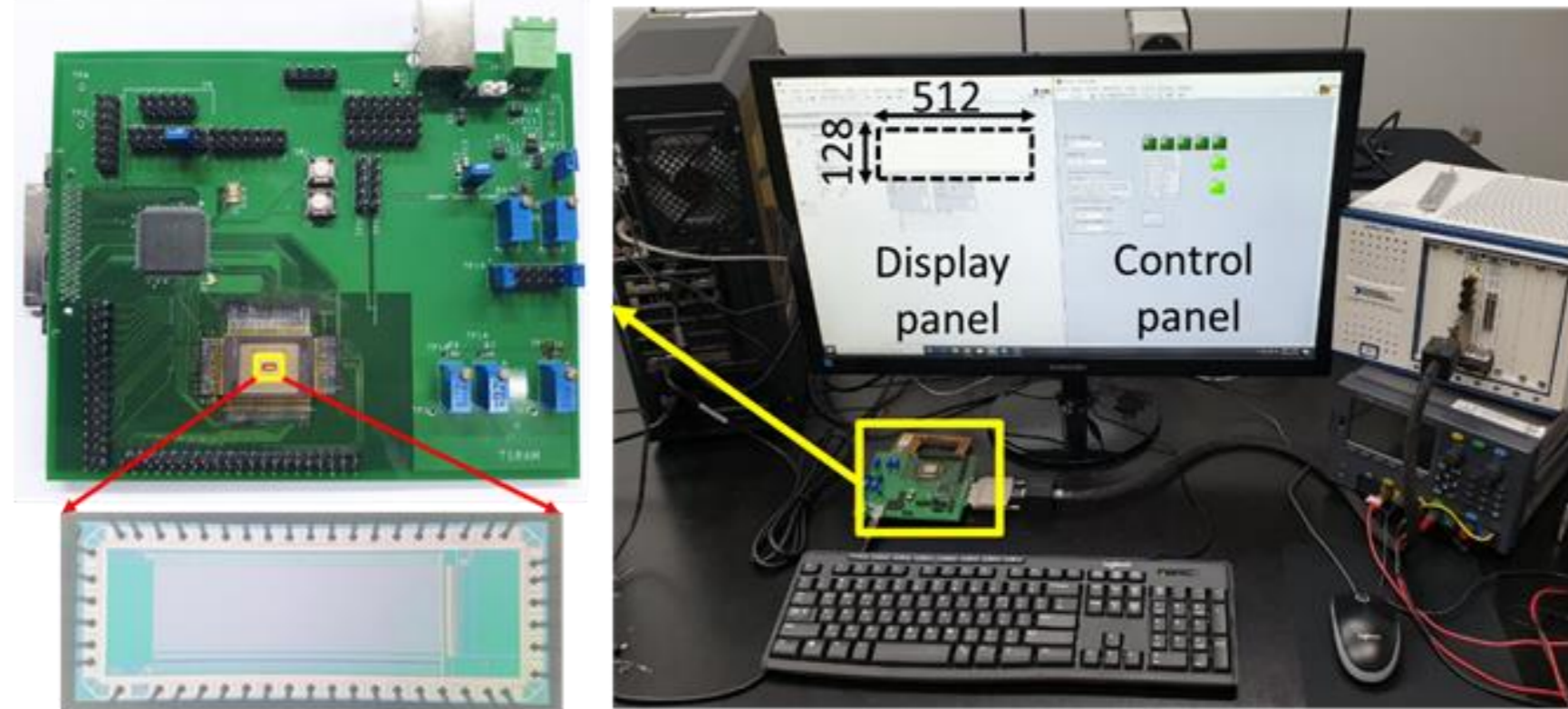


TritCell™ Macro 동작 검증

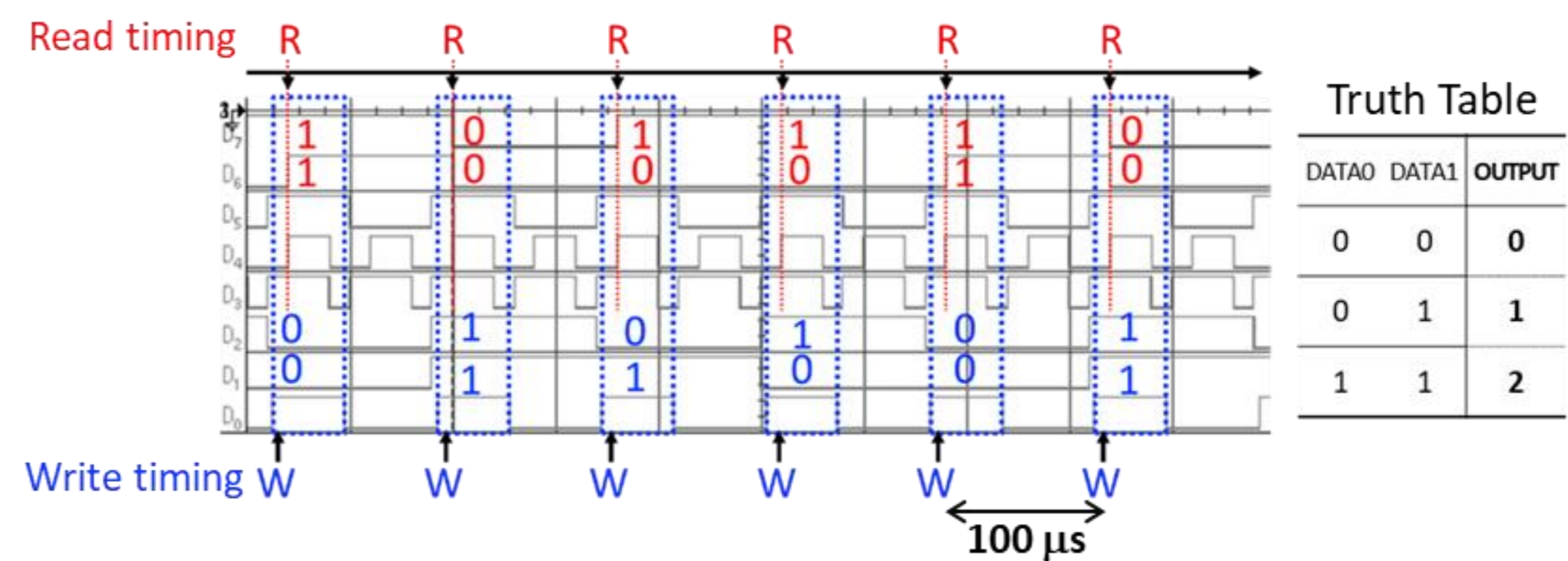
Die Photograph



Array 검증 위한 측정 시스템과 Readout 결과



3진 가중치 Cell

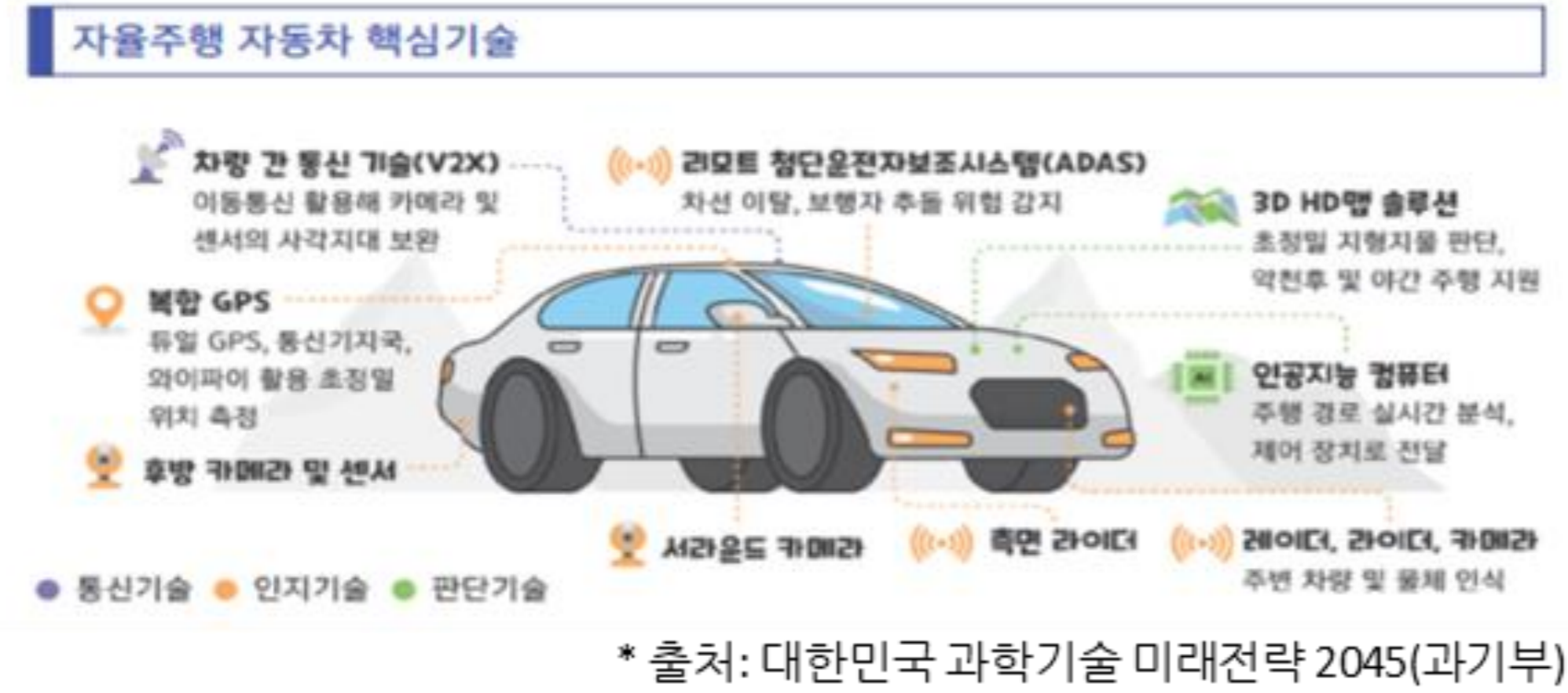


- 4종류 TritCell™ Array 제작 (512x128, 128x128, 64x64, 32x32)
- Ternary Data 처리 Peripheral 회로 설계 (Sense Amplifier, WRITE Driver, Decoder 등)

OFF-상태동작하는 초절전 3진법 메모리 입증 및 Macro 설계 IP 확보

Tiny AI 향 Processing-in-Memory 시스템 설계 기술

자율주행 자동차에 사용되는 전장 부품 지능화

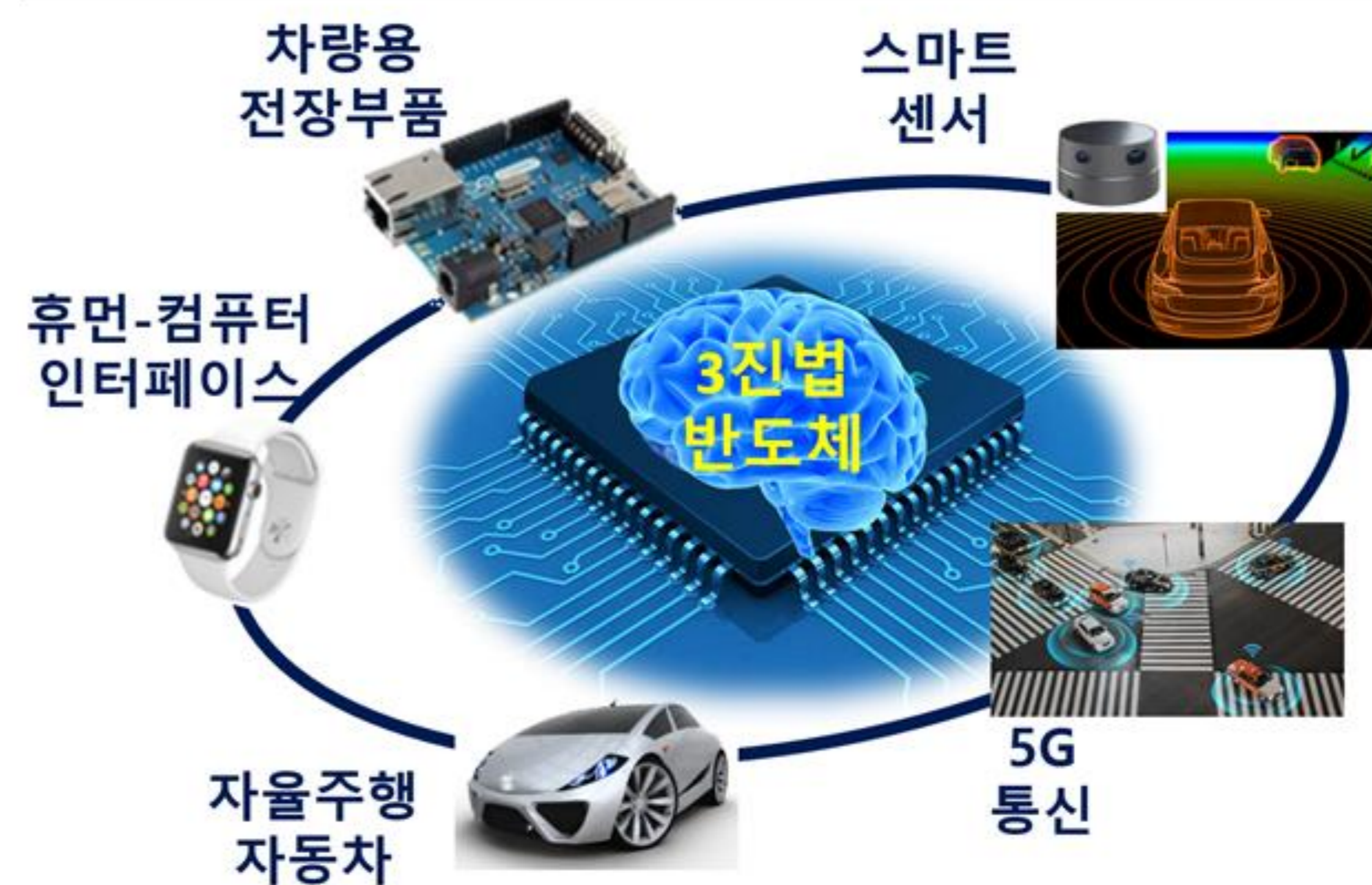


스마트시티의 광범위한 AIoT 반도체 수요



* Graphics: Prababhar Chitraikani

3진법 반도체 기반 차세대 AI 시스템 플랫폼 개발



- 1000배 이상의 대기전력 절감 실현
- 연산효율 300배 이상 제고

미래자동차 산업 90% 비중 차지할 전장부품 지능화, 스마트 시티의 AIoT 반도체 수요